

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-111864

(43)Date of publication of application : 28.04.1998

(51)Int.CI.

G06F 15/78  
 H01L 21/82  
 H01L 25/065  
 H01L 25/07  
 H01L 25/18

(21)Application number : 08-268189

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 09.10.1996

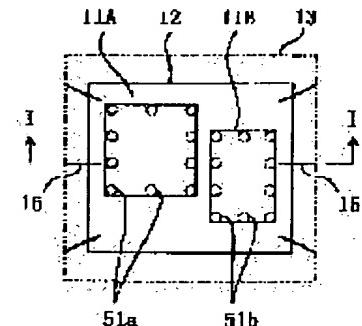
(72)Inventor : TOYONAGA MASAHIKO  
 TANAKA YASUHIRO  
 OKAZAKI KAORU  
 TSUZUKI KATSUO  
 KIMURA FUMIHIRO

## (54) SEMI-CONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS PRODUCING METHOD

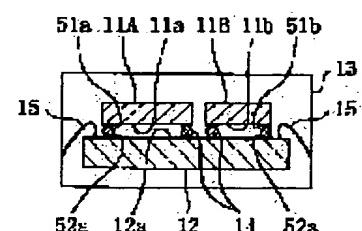
### (57)Abstract:

**PROBLEM TO BE SOLVED:** To shorten the develope period of a semi-conductor integrated circuit device, to make circuit performance high and to reduce a cost.

**SOLUTION:** Pads 51a, 51b and 52a which are electrically connected to respective integrated circuits are respectively formed in a RAM substrate 11A, an MPU(microprocessor unit substrate 11B as an LSI core, and an FPGA(field programmable gate array) substrate 12 specifying the circuit after packaging. Through the use of technique for adhearing semi-conductor chips, the main surface 11a of the RAM substrate 11A, the main surface 11b of the MPU substrate 11B and the main surface 12a of the FPGA substrate 12 respectively pinch balls 14 consisting of soldering or steel, etc., in the respective pads 51a, 51b and 52a and facing-connected so that RAM, MPU and FPGA are respectively connected electrically.



(a)



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-111864

(43)公開日 平成10年(1998)4月28日

(51)Int.Cl.<sup>6</sup>  
G 0 6 F 15/78  
H 0 1 L 21/82  
25/065  
25/07  
25/18

識別記号  
5 1 0

F I  
G 0 6 F 15/78  
H 0 1 L 21/82  
25/08

5 1 0 K  
A  
R  
B

審査請求 未請求 請求項の数25 O.L (全 17 頁)

(21)出願番号 特願平8-268189

(22)出願日 平成8年(1996)10月9日

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 豊永 昌彦  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 田中 康弘  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 岡崎 薫  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 前田 弘 (外2名)

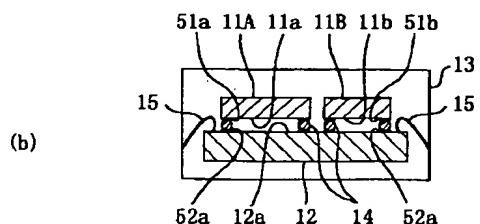
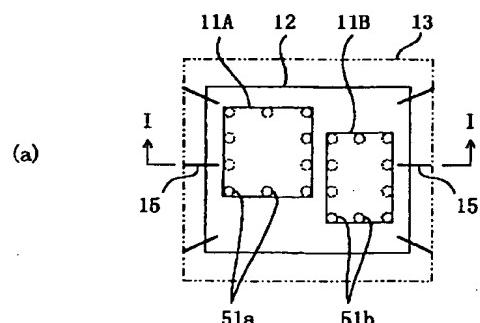
最終頁に続く

(54)【発明の名称】 半導体集積回路装置及びその製造方法

(57)【要約】

【課題】 半導体集積回路装置の開発期間を短縮すると共に、回路の高性能化かつ低コスト化を図る。

【解決手段】 LSIコアとしてのRAM基板11A及びMPU基板11Bとパッケージング後に回路を特定できるFPGA基板12とには、各基板の主面上に、各集積回路に電気的に接続されているパッド51a, 51b, 52aがそれぞれ形成されている。半導体チップの張り合わせ技術を用いて、RAM基板11Aの主面11a及びMPU基板11Bの主面11bとFPGA基板12の主面12aとが、各パッド51a, 51b, 52aに、はんだ又は金等よりなるボール14をそれぞれ挟み、対向して接続されることにより、RAM、MPU及びFPGAはそれぞれ電気的に接続されている。



## 【特許請求の範囲】

【請求項 1】 第1の半導体基板の主面上に形成されている第1の集積回路と、

第2の半導体基板の主面上に形成されており、冗長配線を有し且つ外部端子から入力される電気信号によって前記冗長配線が接続又は切断されることにより回路が特定される第2の集積回路と、

前記第1の半導体基板の主面上に形成されており、前記第1の集積回路と電気的に接続されている第1のパッドと、

前記第2の半導体基板の主面上に形成されており、前記第2の集積回路と電気的に接続されている第2のパッドとを備え、

前記第1の半導体基板の正面と前記第2の半導体基板の正面とが対向し且つ前記第1のパッドと前記第2のパッドとが接続されることにより、前記第1の集積回路と前記第2の集積回路とは電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項 2】 前記第2の集積回路は外部端子から入力される電気信号により回路が特定されていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項 3】 前記第2の集積回路はフィールド・プログラマブル・ゲートアレイよりなることを特徴とする請求項1又は2に記載の半導体集積回路装置。

【請求項 4】 第1の半導体基板の主面上に形成されている第1の集積回路と、

第2の半導体基板の主面上に形成されており、あらかじめ形成された能動素子を有し且つ配線層が形成されることにより回路が特定される第2の集積回路と、

前記第1の半導体基板の主面上に形成されており、前記第1の集積回路と電気的に接続されている第1のパッドと、

前記第2の半導体基板の主面上に形成されており、前記第2の集積回路と電気的に接続されている第2のパッドとを備え、

前記第1の半導体基板の正面と前記第2の半導体基板の正面とが対向し且つ前記第1のパッドと前記第2のパッドとが接続されることにより、前記第1の集積回路と前記第2の集積回路とは電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項 5】 前記第2の集積回路はゲートアレイよりなることを特徴とする請求項4に記載の半導体集積回路装置。

【請求項 6】 第1の半導体基板の主面上に形成されている第1の集積回路と、

第2の半導体基板の主面上に形成されており、汎用性を有するセルよりなる第2の集積回路と、

前記第1の半導体基板の主面上に形成されており、前記第1の集積回路と電気的に接続されている第1のパッドと、

前記第2の半導体基板の主面上に形成されており、前記第2の集積回路と電気的に接続されている第2のパッドとを備え、

前記第1の半導体基板の正面と前記第2の半導体基板の正面とが対向し且つ前記第1のパッドと前記第2のパッドとが接続されることにより、前記第1の集積回路と前記第2の集積回路とは電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項 7】 前記第2の集積回路はスタンダードセルよりなることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項 8】 第1の半導体基板の主面上に形成されている第1の集積回路と、

第2の半導体基板の主面上に形成されており、書き換え可能なメモリよりなる第2の集積回路と、

前記第1の半導体基板の主面上に形成されており、前記第1の集積回路と電気的に接続されている第1のパッドと、

前記第2の半導体基板の主面上に形成されており、前記第2の集積回路と電気的に接続されている第2のパッドとを備え、

前記第1の半導体基板の正面と前記第2の半導体基板の正面とが対向し且つ前記第1のパッドと前記第2のパッドとが接続されることにより、前記第1の集積回路と前記第2の集積回路とは電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項 9】 前記第1の集積回路はフィールド・プログラマブル・ゲートアレイよりなることを特徴とする請求項1～8のいずれか1項に記載の半導体集積回路装置。

【請求項 10】 前記フィールド・プログラマブル・ゲートアレイは外部端子から入力される電気信号により論理回路が特定されていることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項 11】 前記第1の集積回路はゲートアレイよりなることを特徴とする請求項1～8のいずれか1項に記載の半導体集積回路装置。

【請求項 12】 前記第1の集積回路はスタンダードセルよりなることを特徴とする請求項1～8のいずれか1項に記載の半導体集積回路装置。

【請求項 13】 前記第1の集積回路は書き換え可能なメモリよりなることを特徴とする請求項1～8のいずれか1項に記載の半導体集積回路装置。

【請求項 14】 前記第1の集積回路は規格生産された集積回路であることを特徴とする請求項1～8のいずれか1項に記載の半導体集積回路装置。

【請求項 15】 第1の半導体基板の主面上に、機能及び回路規模が決定された第1の集積回路を形成する第1の集積回路形成工程と、

前記第1の集積回路の回路規模から第2の集積回路の回

路規模を決定する第2の集積回路決定工程と、  
第2の半導体基板の主面上に、回路規模が決定されてい  
ると共に、冗長配線を有し且つ外部端子から入力される  
電気信号によって前記冗長配線が接続又は切断され  
ることにより回路が特定される第2の集積回路を形成する第  
2の集積回路形成工程と、  
前記第1の半導体基板の主面上に前記第1の集積回路と  
電気的に接続された第1のパッドを形成すると共に、前  
記第2の半導体基板の主面上に前記第2の集積回路と電  
気的に接続された第2のパッドを形成するパッド形成工  
程と、

前記第1の半導体基板の正面と前記第2の半導体基板の  
正面とが対向し、前記第1のパッドと前記第2のパッド  
とが接続し、前記第1の集積回路又は前記第2の集積回  
路と電気的に接続している外部端子がパッケージ外部に  
突出した状態で、前記第1の半導体基板と前記第2の半  
導体基板とをパッケージングするパッケージング工程と  
を備えていることを特徴とする半導体集積回路装置の製  
造方法。

【請求項16】 前記パッケージング工程の後に、  
前記第2の集積回路の論理機能を確定する機能確定工程  
と、

前記パッケージの外部端子から電気信号を入力し、前記  
第2の集積回路の前記論理機能が実現されるように、前  
記第2の集積回路に設けられている前記冗長配線を接続  
又は切断することにより、前記第2の集積回路を特定す  
る回路特定工程とをさらに備えていることを特徴とする  
請求項15に記載の半導体集積回路装置の製造方法。

【請求項17】 前記第2の集積回路はフィールド・ブ  
ログラマブル・ゲートアレイよりなることを特徴とする  
請求項15又は16に記載の半導体集積回路装置の製造  
方法。

【請求項18】 第1の半導体基板の主面上に、機能及  
び回路規模が決定された第1の集積回路を形成する第1  
の集積回路形成工程と、

前記第1の集積回路の回路規模から第2の集積回路の回  
路規模を決定すると共に、該第2の集積回路の論理機能  
を確定する第2の集積回路確定工程と、

前記第2の集積回路の確定された論理機能が実現される  
ように、前記第2の半導体基板の主面上に配線層を形成  
する第2の半導体基板配線層形成工程と、

前記第1の半導体基板の主面上に前記第1の集積回路と  
電気的に接続された第1のパッドを形成すると共に、前  
記第2の半導体基板の主面上に前記第2の集積回路と電  
気的に接続された第2のパッドを形成するパッド形成工  
程と、

前記第1の半導体基板の正面と前記第2の半導体基板の  
正面とが対向し、前記第1のパッドと前記第2のパッド  
とが接続し、前記第1の集積回路又は前記第2の集積回  
路と電気的に接続している外部端子がパッケージ外部に

突出した状態で、前記第1の半導体基板と前記第2の半  
導体基板とをパッケージングするパッケージング工程と  
を備えていることを特徴とする半導体集積回路装置の製  
造方法。

【請求項19】 前記第2の集積回路はゲートアレイよ  
りなることを特徴とする請求項18に記載の半導体集積  
回路装置の製造方法。

【請求項20】 前記第1の集積回路は、冗長配線が設  
けられ、外部端子から入力される電気信号によって前記  
冗長配線が接続又は切断されることにより回路が特定さ  
れるフィールド・プログラマブル・ゲートアレイよりな  
ることを特徴とする請求項15～19のいずれか1項に  
記載の半導体集積回路装置の製造方法。

【請求項21】 前記パッケージング工程の後に、  
前記第1の集積回路の論理機能を確定する機能確定工程  
と、

前記パッケージの外部端子から電気信号を入力して前記  
第1の集積回路の前記論理機能が実現されるように前記  
第1の集積回路に設けられている冗長配線を接続又は切  
断することにより、前記第1の集積回路を特定する回路  
特定工程とをさらに備えていることを特徴とする請求項  
20に記載の半導体集積回路装置の製造方法。

【請求項22】 前記第1の集積回路はゲートアレイよ  
りなることを特徴とする請求項15～19のいずれか1  
項に記載の半導体集積回路装置の製造方法。

【請求項23】 前記第1の集積回路はスタンダードセル  
よりなることを特徴とする請求項15～19のいずれか1  
項に記載の半導体集積回路装置の製造方法。

【請求項24】 前記第1の集積回路は書き換える可能な  
メモリよりなることを特徴とする請求項15～19のい  
ずれか1項に記載の半導体集積回路装置の製造方法。

【請求項25】 前記第1の集積回路は規格生産された  
集積回路であることを特徴とする請求項15～19のい  
ずれか1項に記載の半導体集積回路装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、特定用途向け半導  
体集積回路(=ASIC)装置及びその製造方法に関  
し、特に、短期間で且つ低コストで製造された特定用途  
向け半導体集積回路装置及びその製造方法に関する。

##### 【0002】

【従来の技術】高機能を有する半導体基板集積回路を実  
現する実現方法として、以下に示す長所又は短所を持つ  
6つの製造方法が提案されている。

【0003】(1)マイクロプロセッサ(MPU)を用  
いる製造方法

高性能マイクロプロセッサを用いて、そのメモリ部にブ  
ログラムを書き込むことにより特定用途向け回路を製造  
する方法である。

【0004】長所は、高速且つ低消費電力の製品が提供

できること及び外部端子からプログラムを書き換えることにより仕様変更に柔軟に対応できることである。

【0005】一方、短所は、あらゆる機能を想定して該機能を回路に搭載するため、特定用途においては不要な回路を含むことになるので製造コストが高くなることである。製造コストを安価にするために専用のマイクロプロセッサを新たに開発すると、開発コストや開発期間が膨大となる。

【0006】(2) デジタルシグナルプロセッサ(DSP)を用いる製造方法

DSPはデジタル信号処理に必要な回路を高密度に搭載したLSIであって、そのメモリ部にプログラムを書き込むことにより特定用途向け回路を製造する方法である。

【0007】長所は、高速、低消費電力及び低成本の製品が提供できること及び外部端子からプログラムを書き換えることにより使用変更に柔軟に対応できることである。

【0008】一方、短所は、DSPは機能を限定したLSIであるため、回路の柔軟性に欠けることである。機能を追加した専用のDSPを新たに開発すると、期間や開発コストが膨大となる。

【0009】(3) フィールド・プログラマブル・ゲートアレイ(FPGA)を用いる製造方法

FPGAは基板上にトランジスタ及び該トランジスタを可能な限りすべて接続する配線層を作りこまれており、設計者が論理構成を確定した後、外部端子から高電圧を印加して不要な配線を切断したり、必要とする配線を接続したりすることによって、特定用途向け回路を製造する方法である。

【0010】長所は、トランジスタと該トランジスタ同士を接続する配線とを様々に組み合わせることができため、所望の回路を柔軟に提供することができること、FPGA内の配線層に印加するのに要する時間が数秒ないし数分で完了するため、回路の特定化が完成するのとほぼ同時に半導体回路をユーザーに提供できること、及びFPGA自体の開発が特定用途に限らないため開発コストが安価となることである。

【0011】一方、短所は、あらかじめトランジスタ及び該トランジスタを可能な限りすべて接続する配線層を製造しておくことが必要であるため、所望する回路規模が確定した後に、最適な規模のFPGAを提供できないことである。従って、無駄な回路を含むためLSIのコストが膨大となる。また、トランジスタサイズや配線形状を最適に設定することができないため、回路特性が通常のカスタムLSIに比べて劣る。

【0012】例えば、FPGA回路が論理規模として1Kゲート、2Kゲート、4Kゲート又は8Kゲートの4種類で構成されている場合について、図10に回路規模と製造コストとの相関関係をグラフで示す。図10にお

いて、1Kゲート以下の論理規模の回路に対してはC1のコストが必要となり、同様に1Kゲート以上から2Kゲート以下の回路にはC2、2Kゲート以上から4Kゲート以下の回路にはC3、4Kゲート以上から8Kゲート以下の回路にはC4のコストがそれぞれ必要となる。例えば、特定用途回路が5Kゲートである場合は、FPGAを用いて実現するためには、従来の方法によると8KゲートのFPGAを使用する必要があり、規模にして3Kゲートの冗長領域が発生するためコストにしてCd分の冗長なコストが発生する。

【0013】ユーザーの要求に応じて回路を確定した後、確定された回路に対してパッケージの外部端子にプログラム装置を接続してプログラム化が行われる。

【0014】なお、FPGAを開発するのに要する標準的な開発期間D0を図11に示す。

【0015】図11に示すように、仕様に基づき機能の構成要素を選択し、また決定する機能設計工程D1に6ヶ月、機能設計計レベルをNANDやNORのゲートレベルの構成に具体化する論理設計工程D2に4ヶ月、及びユーザーの要求に回路を特定する特定回路化工程D6に数日程度を要する。ただし、設計期間に重なりがあるため開発期間D0は8ヶ月程度となる。

【0016】(4) ゲートアレイ(GA)

GAは基板上にトランジスタまでが作りこまれており、設計者が論理構成を確定した後、基板上に配線層を製造することにより特定用途向け集積回路を製造する方法である。

【0017】長所は、トランジスタを特定用途に限らず多量に開発できるため、開発コストが安価であること、配線を様々に組み合わせることができため、高性能な回路を柔軟に提供することができること、及びさらに配線層のみの製造時間が数日で完了するため、設計完了後、1、2週間程度で半導体回路を提供することができる。

【0018】一方、短所は、トランジスタ部をあらかじめ製造しておくことが必要であるため、所望する回路規模を確定した後に最適な規模のゲートアレイを提供できないことである。従って、無駄な回路を含むためLSIのコストが膨大となる。また、トランジスタサイズを最適なサイズに設定することができないため、回路特性が通常のカスタムLSIに比べてやや劣る。

【0019】ユーザーの要求に応じた回路を確定した後、配線レイアウト設計工程D3を行ない、配線マスク製造及び配線プロセス処理工程D4、さらにパッケージ化工程D5を経てLSIが完成する。GAの開発に要する時間経過を図12に示す。

【0020】GA回路が論理規模として1Kゲート、2Kゲート、4Kゲート、8Kゲートの4種類で構成されている場合について、必要回路規模が5Kゲートに対する冗長なコストCdについては、図10を用いて説明し

たFPGAと同じことがいえる。

【0021】(5) スタンダードセル

設計者が論理構成を確定した後、トランジスタ及び配線層を製造することにより特定用途向け集積回路を製造する。

【0022】長所は、トランジスタと配線とを様々に組み合わせることができるので、高性能な回路を柔軟に提供できることである。

【0023】一方、短所は、個々のLSIに応じてトランジスタ部及び配線部の製造が論理設計が完了した後から行なわれるため、開発コストが高価になること及びプロセス処理以降について数ヶ月の開発時間を要することである。

【0024】回路を確定した後、レイアウト設計工程D3を行ない、マスク製造及びプロセス処理工程D4、さらにパッケージ化工程D5を経てLSIが完成する。スタンダードセルの開発に要する時間経過を図13に示す。

【0025】(6) エンベッデドアレイ

スタンダードセル及びゲートアレイの利点を生かす方法として、設計途中で確定した回路部をスタンダードセルとして、また論理不定部分をゲートアレイとしてあらかじめトランジスタ部まで製造しておき、設計完了後数週間で、配線層の製造のみを行なって特定用途向けのLSIを製造する方法である。

【0026】長所は、設計完了後短時間でLSIが提供できること及び回路の一部をスタンダードセルとして製造することによりその一部の回路を高密度かつ高性能で提供できることである。

【0027】一方、短所は、ゲートアレイ部において無駄な回路が生じること及び開発コストがスタンダードセルと同様に高価になることである。

【0028】機能設計工程D1及び論理設計工程D2の途中からプロセス処理工程D4を行ない、回路を確定した後、配線レイアウト設計工程D3を行ない、その後の配線プロセス処理工程D4さらにパッケージ化工程D5を経てLSIが完成する。エンベッデドアレイの開発に要する時間経過を図14に示す。

【0029】前述したLSIのみの構成によって高密度かつ高性能なLSIを開発する設計技術とは別に、LSI半導体集積回路の新たな実装方法を用いることによって、高密度及び高性能なLSIを実現する数多くの先行技術が提案されてきている。特に、マルチチップモジュール(MCM)と称する半導体集積回路製造技術は、小型実装、機器の軽量化及び回路特性の改善の面において従来のプリント基板に比べて優れた特徴をもち、回路性能の向上や実装密度の向上を図っている。

【0030】現在主流となっている2つの実現方法について簡単に説明する。

【0031】(1) デボジット(MCM-D)法

金属、半導体又はセラミックよりもなる1枚の薄膜基板を連続的にデボジットしていき、各薄膜基板上に半導体LSIチップをアセンブルする。

【0032】(2) 積層(MCM-L)法

金属、半導体又はセラミックよりもなる複数の薄膜基板を積層してデボジットしていき、最終的に多層の薄膜基板上に半導体LSIチップをアセンブルする。

【0033】しかし、これらのMCM技術には、以下に示すような問題がある。

10 【0034】i) MCMに用いる基板の製造コストが高い。

【0035】ii) 回路の大規模化により、MCMの基板の製造期間、すなわち特定用途向けLSIの製造期間が長期化する。

【0036】近年、より低コスト化を図るため、プリント基板実装の微細加工技術が進み、MCM-Lをさらに発展させた実装方法として、複数のLSIチップのパッド上にボール状のはんだ又は金を配して面接触させる実装方法であるCOC(チップ・オン・チップ)法が提案されている。これは、前述したMCM用の薄膜基板にLSIチップを用いるため、コストの低下に役立つ。

【0037】

【発明が解決しようとする課題】しかしながら、前記従来のCOC法は、

(1) 実装コストが高価であり、1チップで実現する際のコストに比べ著しい優位性が認められない。

【0038】(2) LSIの開発期間の短縮化に貢献できない。

【0039】などの問題を有している。

30 【0040】本発明は、前記従来の問題を一挙に解決し、開発期間の短縮化を図ると共に、半導体集積回路の高性能化を図ることを目的とする。

【0041】

【課題を解決するための手段】請求項1の発明が講じた解決手段は、半導体集積回路装置を、第1の半導体基板の主面上に形成されている第1の集積回路と、第2の半導体基板の主面上に形成されており、冗長配線を有し且つ外部端子から入力される電気信号によって前記冗長配線が接続又は切断されることにより回路が特定される第2の集積回路と、前記第1の半導体基板の主面上に形成されており、前記第1の集積回路と電気的に接続されている第1のパッドと、前記第2の半導体基板の主面上に形成されており、前記第2の集積回路と電気的に接続されている第2のパッドとを備え、前記第1の半導体基板の正面と前記第2の半導体基板の正面とが対向し且つ前記第1のパッドと前記第2のパッドとが接続されることにより、前記第1の集積回路と前記第2の集積回路とは電気的に接続されている構成とするものである。

50 【0042】請求項1の構成により、第1の半導体基板と第2の半導体基板とは各集積回路が形成された基板の

主面同士が対向され、パッドを介して電気的に接続されているため、高密度な実装態様となる。

【0043】さらに、第2の集積回路は、外部端子から入力される電気信号によって冗長配線が接続又は切断されることにより回路が特定されるように構成されているため、論理設計工程後の開発期間はきわめて短くなる。

【0044】請求項2の発明は、請求項1の構成に、前記第2の集積回路は、外部端子から入力される電気信号により回路が特定されている構成を付加するものである。

【0045】請求項3の発明は、請求項1又は2の構成に、前記第2の集積回路はフィールド・プログラマブル・ゲートアレイよりなる構成を付加するものである。

【0046】請求項4の発明が講じた解決手段は、半導体集積回路装置を、第1の半導体基板の主面上に形成されている第1の集積回路と、第2の半導体基板の主面上に形成されており、あらかじめ形成された能動素子を有し且つ配線層が形成されることにより回路が特定される第2の集積回路と、前記第1の半導体基板の主面上に形成されており、前記第1の集積回路と電気的に接続されている第1のパッドと、前記第2の半導体基板の主面上に形成されており、前記第2の集積回路と電気的に接続されている第2のパッドとを備え、前記第1の半導体基板の正面と前記第2の半導体基板の正面とが対向し且つ前記第1のパッドと前記第2のパッドとが接続されることにより、前記第1の集積回路と前記第2の集積回路とは電気的に接続されている構成とするものである。

【0047】請求項4の構成により、第1の半導体基板と第2の半導体基板とは各集積回路が形成された基板の主面同士が対向され、パッドを介して電気的に接続されているため、高密度な実装態様となる。

【0048】さらに、第2の集積回路は、配線層が形成されることにより回路が特定されるように構成されているため、論理設計工程後の開発期間は短くなる。

【0049】請求項5の発明は、請求項4の構成に、前記第2の集積回路はゲートアレイよりなる構成を付加するものである。

【0050】請求項6の発明が講じた解決手段は、半導体集積回路装置を、第1の半導体基板の主面上に形成されている第1の集積回路と、第2の半導体基板の主面上に形成されており、汎用性を有するセルよりなる第2の集積回路と、前記第1の半導体基板の主面上に形成されており、前記第1の集積回路と電気的に接続されている第1のパッドと、前記第2の半導体基板の主面上に形成されており、前記第2の集積回路と電気的に接続されている第2のパッドとを備え、前記第1の半導体基板の正面と前記第2の半導体基板の正面とが対向し且つ前記第1のパッドと前記第2のパッドとが接続されることにより、前記第1の集積回路と前記第2の集積回路とは電気的に接続されている構成とするものである。

【0051】請求項6の構成により、第1の半導体基板と第2の半導体基板とは各集積回路が形成された基板の主面同士が対向され、パッドを介して電気的に接続されているため、高密度な実装態様となる。

【0052】さらに、第2の集積回路は、汎用性を有するセルよりなる回路により構成されているため、第2の集積回路を高性能にかつ柔軟に設計することができる。

【0053】請求項7の発明は、請求項6の構成に、前記第2の集積回路はスタンダードセルよりなる構成を付加するものである。

【0054】請求項8の発明が講じた解決手段は、半導体集積回路装置を、第1の半導体基板の主面上に形成されている第1の集積回路と、第2の半導体基板の主面上に形成されており、書き換え可能なメモリよりなる第2の集積回路と、前記第1の半導体基板の主面上に形成されており、前記第1の集積回路と電気的に接続されている第1のパッドと、前記第2の半導体基板の主面上に形成されており、前記第2の集積回路と電気的に接続されている第2のパッドとを備え、前記第1の半導体基板の正面と前記第2の半導体基板の正面とが対向し且つ前記第1のパッドと前記第2のパッドとが接続されることにより、前記第1の集積回路と前記第2の集積回路とは電気的に接続されている構成とするものである。

【0055】請求項8の構成により、第1の半導体基板と第2の半導体基板とは各集積回路が形成された基板の主面同士が対面され、パッドを介して電気的に接続されているため、高密度な実装態様となる。

【0056】さらに、第2の集積回路は、書き換え可能なメモリより構成されているため、論理設計工程後の開発期間はFPGAと同様にきわめて短くなる。

【0057】請求項9の発明は、請求項1～8の構成に、前記第1の集積回路はフィールド・プログラマブル・ゲートアレイよりなる構成を付加するものである。

【0058】請求項10の発明、請求項9の構成に、前記フィールド・プログラマブル・ゲートアレイは、外部端子から入力される電気信号により論理回路が特定されている構成を付加するものである。

【0059】請求項11の発明は、請求項1～8の構成に、前記第1の集積回路はゲートアレイよりなる構成を付加するものである。

【0060】請求項12の発明は、請求項1～8の構成に、前記第1の集積回路はスタンダードセルよりなる構成を付加するものである。

【0061】請求項13の発明は、請求項1～8の構成に、前記第1の集積回路は書き換え可能なメモリよりなる構成を付加するものである。

【0062】請求項14の発明は、請求項1～8の構成に、前記第1の集積回路は規格生産された、例えば、メモリ、MPU又はDSP等からなる集積回路である構成を付加するものである。

【0063】請求項15の発明が講じた解決手段は、半導体集積回路装置の製造方法を、第1の半導体基板の主面上に、機能及び回路規模が決定された第1の集積回路を形成する第1の集積回路形成工程と、前記第1の集積回路の回路規模から第2の集積回路の回路規模を決定する第2の集積回路決定工程と、第2の半導体基板の主面上に、回路規模が決定されていると共に、冗長配線を有し且つ外部端子から入力される電気信号によって前記冗長配線が接続又は切断されることにより回路が特定される第2の集積回路を形成する第2の集積回路形成工程と、前記第1の半導体基板の主面上に前記第1の集積回路と電気的に接続された第1のパッドを形成すると共に、前記第2の半導体基板の主面上に前記第2の集積回路と電気的に接続された第2のパッドを形成するパッド形成工程と、前記第1の半導体基板の正面と前記第2の半導体基板の正面とが対向し、前記第1のパッドと前記第2のパッドとが接続し、前記第1の集積回路又は前記第2の集積回路と電気的に接続している外部端子がパッケージ外部に突出した状態で、前記第1の半導体基板と前記第2の半導体基板とをパッケージングするパッケージング工程とを備えている構成とするものである。

【0064】請求項15の構成により、第1の半導体基板と第2の半導体基板との各主面上に、各集積回路と電気的に接続されているパッドをそれぞれ形成し、第1及び第2の半導体基板の正面同士を対向させて各パッドを接続させることにより、1つのパッケージに封入するため、高密度な実装態様となる。

【0065】また、第2の集積回路は、その回路規模が第1の集積回路の回路規模から決定され、且つ、外部端子から入力される電気信号によって冗長配線が接続又は切断されることにより回路が特定されるため、論理設計工程後の開発期間はきわめて短くなる。

【0066】請求項16の発明は、請求項15の構成に、前記パッケージング工程の後に、前記第2の集積回路の論理機能を確定する機能確定工程と、前記パッケージの外部端子から電気信号を入力し、前記第2の集積回路の前記論理機能が実現されるように、前記第2の集積回路に設けられている前記冗長配線を接続又は切断することにより、前記第2の集積回路を特定する回路特定工程とをさらに備えている構成を付加するものである。

【0067】請求項17の発明は、請求項15又は16の構成に、前記第2の集積回路はフィールド・プログラマブル・ゲートアレイよりなる構成を付加するものである。

【0068】請求項18の発明が講じた解決手段は、半導体集積回路装置の製造方法を、第1の半導体基板の主面上に、機能及び回路規模が決定された第1の集積回路を形成する第1の集積回路形成工程と、前記第1の集積回路の回路規模から第2の集積回路の回路規模を決定すると共に、該第2の集積回路の論理機能を確定する第2

の集積回路確定工程と、前記第2の集積回路の確定された論理機能が実現されるように、前記第2の半導体基板の主面上に配線層を形成する第2の半導体基板配線層形成工程と、前記第1の半導体基板の主面上に前記第1の集積回路と電気的に接続された第1のパッドを形成すると共に、前記第2の半導体基板の主面上に前記第2の集積回路と電気的に接続された第2のパッドを形成するパッド形成工程と、前記第1の半導体基板の正面と前記第2の半導体基板の正面とが対向し、前記第1のパッドと前記第2のパッドとが接続し、前記第1の集積回路又は前記第2の集積回路と電気的に接続している外部端子がパッケージ外部に突出した状態で、前記第1の半導体基板と前記第2の半導体基板とをパッケージングするパッケージング工程とを備えている構成とするものである。

【0069】請求項18の構成により、第1の半導体基板と第2の半導体基板との各主面上に、各集積回路と電気的に接続されているパッドをそれぞれ形成し、第1及び第2の半導体基板の正面同士を対向させて各パッドを接続することにより、1つのパッケージに封入するため、高密度な実装態様となる。

【0070】また、第2の集積回路は、その回路規模が第1の集積回路の回路規模から決定され、且つ、第2の半導体基板の第2の集積回路に配線層を形成することにより回路が特定されるため、論理設計工程後の開発期間は短くなる。

【0071】請求項19の発明は、請求項18の構成に、前記第2の集積回路はゲートアレイよりなる構成を付加するものである。

【0072】請求項20の発明は、請求項15～19の構成に、前記第1の集積回路は、冗長配線が設けられ、外部端子から入力される電気信号によって前記冗長配線が接続又は切断されることにより回路が特定されるフィールド・プログラマブル・ゲートアレイよりなる構成を付加するものである。

【0073】請求項21の発明は、請求項20の構成に、前記パッケージング工程の後に、前記第1の集積回路の論理機能を確定する機能確定工程と、前記パッケージの外部端子から電気信号を入力して前記第1の集積回路の前記論理機能が実現されるように前記第1の集積回路に設けられている冗長配線を接続又は切断することにより、前記第1の集積回路を特定する回路特定工程とをさらに備えている構成を付加するものである。

【0074】請求項22の発明は、請求項15～19の構成に、前記第1の集積回路はゲートアレイよりなる構成を付加するものである。

【0075】請求項23の発明は、請求項15～19の構成に、前記第1の集積回路はスタンダードセルよりなる構成を付加するものである。

【0076】請求項24の発明は、請求項15～19の

13

構成に、前記第1の集積回路は書き換え可能なメモリよりなる構成を付加するものである。

【0077】請求項25の発明は、請求項15～19の構成に、前記第1の集積回路は規格生産された、例えば、メモリ、MPU又はDSP等からなる集積回路である構成を付加するものである。

【0078】

## 【発明の実施形態】

(第1の実施形態) 本発明の第1の実施形態を図面を参照しながら説明する。

【0079】図1は本発明の第1の実施形態に係る半導体集積回路装置の構成を示し、(a)は平面図であり、(b)は(a)におけるI-I線の断面図である。図1(a)において、11Aは第1の集積回路としての規格生産されたランダム・アクセス・メモリが形成された第1の半導体基板としてのRAM基板であり、11Bは第1の集積回路としての規格生産されたマイクロ・プロセッサが形成された第1の半導体基板としてのMPU基板11Bであり、12は第2の集積回路としての、外部端子から入力される電気信号によりプログラム可能なフィールド・プログラマブル・ゲートアレイが形成された第2の半導体基板としてのFPGA基板である。また、13はRAM基板11A、MPU基板11B及びFPGA基板12を封入するパッケージである。

【0080】図1(b)に示すように、RAM基板11Aの正面11a上には該RAM回路と電気的に接続された第1のパッドとしてのRAM基板用パッド51aが形成され、MPU基板11Bの正面11b上には該MPU回路と電気的に接続された第1のパッドとしてのMPU基板用パッド51bが形成され、FPGA基板12の正面12a上には該FPGA回路と電気的に接続された第2のパッドとしてのFPGA基板用パッド52aが形成されている。RAM基板11A及びMPU基板11Bの正面11a、11bとFPGA基板12の正面12aとは、半導体チップの張り合わせ技術を用いて、各パッド51a、51b、52aに、はんだ又は金等よりなるボルト(又はバンブ)14をそれぞれ挟んで対向し、且つ、接続されることにより、RAM、MPU及びFPGAの各回路がそれぞれ電気的に接続されている。

【0081】さらに、一端がFPGA基板12におけるFPGA回路に接続され、他端がパッケージ13の外部に突出する外部端子15が設けられている。

【0082】なお、各パッド51a、51b、52aは、RAM基板11A、MPU基板11B及びFPGA基板12においてあらかじめ設計規則、構造体及びピッチを統一して形成しているものとする。

【0083】本実施形態に係る半導体集積回路装置は、規格生産された高性能で高密度のRAM基板11A及びMPU基板11Bと、大量生産可能なFPGA基板12とから構成されており、また、FPGA基板12には、

14

配線層にあらかじめ冗長配線が設けられ、外部端子15から入力される電気信号によって冗長配線が接続又は切断されることにより所望の回路が特定される構成を有するため、論理回路を完成した後に行なう回路の特定化作業は、プログラム装置を用いて短時間で終了させることができる。これにより、低コストで高性能なASICを短期間に実現することができる。

【0084】なお、第2の半導体基板としてのFPGA基板12は書き換え可能なメモリであるEPROMであってもよい。

【0085】また、第2の半導体基板における第2の集積回路にセルベース方式のスタンダードセルを用いてもよい。この場合は、第2の集積回路の性能を高めることができる。

【0086】以下、本発明の第1の実施形態に係る半導体集積回路装置の製造方法を図面を参照しながら説明する。

【0087】まず、従来の開発工程とその開発期間を示す。図13に示すように、例えば、セルベースのASICを例にとると、この半導体集積回路の開発工程は、

ユーザの仕様に基づき機能の構成要素を選択し、また決定する機能設計D1、機能設計レベルをNANDやNORのゲートレベルの構成に具体化する論理設計D2、セルライブラリを用いてスタンダードセル等の配置配線を決定するレイアウト設計工程D3、半導体等よりなる基板に、設計に応じた素子を製造した後、配線層を形成して所定の回路を形成するプロセス処理工程D4、及び所定の回路が形成された基板をパッケージングするパッケージ化工程D5から構成される。

【0088】短期間に開発を行なう必要から、各工程は、複数の人員により平行して進められる。従って、図13に示すように、例えば、機能設計工程D1の途中段階から、機能が確定した部分について並行して論理設計工程D2を進めることができるのである。論理設計工程D2が完了した時点で、レイアウト設計工程D3の最終工程が実施される。いま、典型的な開発期間として、機能設計工程D1を6ヶ月、論理設計工程D2を4ヶ月、レイアウト設計工程D3を2ヶ月、プロセス処理工程D4を2ヶ月とする。それぞれの開発段階のほぼ中間時点での工程に進むことができるとするならば、図8に示すように、開発期間D0に10ヶ月を要することがわかる。これを、もしエンベデドアレイ方式で実施するならば、図14に示すようにプロセス処理工程D4における配線層形成工程以降の工程を0.5ヶ月として、開発期間D0は8.5ヶ月となり、セルベース方式よりも1.5ヶ月少ない期間で開発できることがわかる。

【0089】以下、本発明の第1の実施形態に係る半導体集積回路装置の製造方法を説明する。

【0090】図2は本発明の第1の実施形態に係る半導体集積回路装置の製造方法を表わす流れ図であり、図3

50

は本装置の開発期間を表わすタイムチャートである。まず、図2に示すように、第1の集積回路形成工程としての既製回路決定工程ST1において、第1の集積回路としての既製のMPU及び既製のRAMを決定する。

【0091】次に、第2の集積回路形成工程としての残部回路規模決定工程ST2において、決定されたMPU及びRAMの回路規模からFPGAに必要な回路規模を決定する。

【0092】次に、パッド形成工程において、MPUが形成された半導体基板(MPU基板)の正面及びRAMが形成された半導体基板(RAM基板)の正面に各集積回路と電気的に接続された第1のパッドをそれぞれ形成すると共に、FPGAが形成された半導体基板(FPGA基板)の正面にFPGA回路と電気的に接続された第2のパッドを形成する。その後、パッケージング工程を含む装置製造工程ST3において、MPU基板及びRAM基板の正面とFPGA基板の正面とが対向し、第1のパッドと第2のパッドとが接続し、FPGA回路と電気的に接続している外部端子がパッケージ外部に突出した状態で、MPU基板、RAM基板及びFPGA基板をパッケージングする。

【0093】この段階の半導体集積回路装置はFPGA基板の集積回路が特定用途向けに確定されていない。次の回路確定工程ST4において、ユーザの要求に応じた論理機能を確定した後、図3の特定回路化工程D6に示すように、FPGA基板の集積回路に対してプログラム装置を用い、FPGA基板の外部端子からプログラム用の電気信号を入力することにより、装置の特定用途化を数時間で行なうことができる。

【0094】従って、レイアウト設計工程及びプロセス処理工程の各期間を省略することができるため、図3に示すように、開発期間D0は約8.0ヶ月なるので、従来の方法に比べて2ヶ月、エンベッデドアレイ方式に比べても0.5ヶ月程度の短期化が可能となる。

【0095】また、既製の回路である量産されたMPU又はRAMからなるLSIを集積回路の一部に利用しているため、エンベッデドアレイ方式に比べて安価に製造することができる。

【0096】これは、以下のようにして調べることができる。図4に開発する回路規模と製造コストとの関係を示す。半導体の1チップ当たりのコストCは、製造数をN、設計開発費をK、1チップ当たりのプロセス処理コストをC0とすると、

$$C = K/N + C_0$$

で表わされる。従って、COC実装に要する1チップ当たりの費用をBとすると、本実施形態に係る集積回路装置では、

$$C = K/N + C_0 + B$$

と表わすことができる。

【0097】これにより、本実施形態に係る集積回路裝

置の製造数がエンベッデドアレイ方式の集積回路装置と同数であれば、本実施形態に係る集積回路装置がエンベッデドアレイ方式の集積回路装置よりもコスト高になってしまう。

【0098】しかしながら、図4に示すように、本実施形態に係る集積回路装置に組み込む既製の第1の集積回路としてのMPUやRAMは、その製造数Nをエンベッデドアレイ方式による集積回路装置に比べて数十倍と大きくすることができるため、エンベッデドアレイ方式の集積回路装置のコストをC2、本実施形態に係る集積回路装置のコストをC1とした場合の該MPUやRAMは、C2とC1との差であるCd分のコスト優位性を有するので、本実施形態に係る集積回路装置は安価になる。

【0099】なお、第1の集積回路としては、MPU又はRAMの他に、EPROM、ROM又はDSP等の特定用途向けLSIコアのいずれを用いても本発明の効果は変わらない。

【0100】また、第1の集積回路にFPGA、GA又はスタンダードセルを用いても同様の効果が得られる。

【0101】(第2の実施形態)以下、本発明の第2の実施形態に係る半導体集積回路装置を図面を参照しながら説明する。

【0102】図5は本発明の第2の実施形態に係る半導体集積回路装置の構成を示し、(a)は平面図であり、(b)は(a)におけるII-II線の断面図である。図5(a)において、21Aは第1の集積回路としての規格生産されたランダム・アクセス・メモリが形成された第1の半導体基板としてのRAM基板であり、21Bは第1の集積回路としての規格生産されたマイクロ・プロセッサが形成された第1の半導体基板としてのMPU基板21Bであり、22は第2の集積回路としての、配線層を形成することにより所望の回路を得ることができるゲートアレイが形成された第2の半導体基板としてのGA基板である。また、23はRAM基板21A、MPU基板21B及びGA基板22を封入するパッケージである。

【0103】図5(b)に示すように、RAM基板21Aの正面21a上には該RAM回路と電気的に接続された第1のパッドとしてのRAM基板用パッド61aが形成され、MPU基板21Bの正面21b上には該MPU回路と電気的に接続された第1のパッドとしてのMPU基板用パッド61bが形成され、GA基板22の正面22a上には該GA回路と電気的に接続された第2のパッドとしてのGA基板用パッド62aが形成されている。RAM基板21A及びMPU基板21Bの正面21a、21bとGA基板22の正面22aとは、半導体チップの張り合わせ技術を用いて、各パッド61a、61b、62aに、はんだ又は金等よりなるボール(又はバンブ)24をそれぞれ挟んで対向し、且つ、接続されるこ

により、RAM、MPU及びGAの各回路がそれぞれ電気的に接続されている。

【0104】さらに、一端がGA基板22におけるGA回路に接続され、他端がパッケージ23の外部に突出する外部端子25が設けられている。

【0105】なお、各パッド61a、61b、62aは、RAM基板21A、MPU基板21B及びGA基板22においてあらかじめ設計規則、構造体及びピッチを統一して形成されているものとする。

【0106】本実施形態に係る半導体集積回路装置の製造方法は、第1の集積回路としての既製のMPU及び既製のRAMを決定する第1の集積回路形成工程としての既製回路決定工程と、決定したMPU及び該RAMの回路規模からGAの集積回路に必要な回路規模を決定すると共に、論理設計を行なう第2の集積回路確定工程と、論理機能が確定したGAが形成された半導体基板(GA基板)にユーザの要求に応じた配線層を形成する第2の半導体基板配線層形成工程と、MPUが形成された半導体基板(MPU基板)の正面及びRAMが形成された半導体基板(RAM基板)の正面に各集積回路と電気的に接続された第1のパッドをそれぞれ形成すると共に、GA基板の正面にGA回路と電気的に接続された第2のパッドを形成するパッド形成工程と、MPU基板及びRAM基板の正面とGA基板の正面とが対向し、第1のパッドと第2のパッドとが接続し、GA回路と電気的に接続している外部端子がパッケージ外部に突出した状態で、MPU基板及びRAM基板とGA基板とをパッケージングするパッケージング工程を含む装置製造工程とを備えている。

【0107】本実施形態に係る半導体集積回路装置は、規格生産された高性能で高密度のRAM基板21A及びMPU基板21Bと、大量生産可能なGA基板22とかく構成されているため、低コストで実現できる。また、GAを用いているため、論理回路を完成した後に行なうユーザ向けの用途の特定化処理は、配線層を形成するプロセス処理のみでよく短時間で実施することができる。

【0108】なお、第1の集積回路としては、MPU又はRAMの他に、EPROM、ROM又はDSP等の特定用途向けLSIコアのいずれを用いても本発明の効果は変わらない。

【0109】また、第1の集積回路にFPGA、GA又はスタンダードセルを用いても同様の効果が得られる。

【0110】(第3の実施形態)以下、本発明の第3の実施形態に係る半導体集積回路装置を図面を参照しながら説明する。

【0111】図6は本発明の第3の実施形態に係る半導体集積回路装置の構成を示し、(a)は平面図であり、

(b)は(a)におけるIII-III線の断面図である。図6(a)において、31Aは第1の集積回路としての規格生産されたフィールド・プログラマブル・ゲートアレ

イが形成された第1の半導体基板としてのFPGA基板であり、31Bは第1の集積回路としての規格生産されたマイクロ・プロセッサが形成された第1の半導体基板としてのMPU基板31Bであり、32は第2の集積回路としてのスタンダードセル方式の集積回路よりなり、第2の半導体基板としてのスタンダードセル基板である。また、33はFPGA基板31A、MPU基板31B及びスタンダードセル基板32を封入するパッケージである。

【0112】図6(b)に示すように、FPGA基板31Aの正面31a上には該FPGA回路と電気的に接続された第1のパッドとしてのFPGA基板用パッド71aが形成され、MPU基板31Bの正面31b上には該MPU回路と電気的に接続された第1のパッドとしてのMPU基板用パッド71bが形成され、スタンダードセル基板32の正面32a上には該スタンダードセル回路と電気的に接続された第2のパッドとしてのスタンダードセル基板用パッド72aが形成されている。FPGA基板31A及びMPU基板31Bの正面31a、31bとスタンダードセル基板32の正面32aとは、半導体チップの張り合わせ技術を用いて、各パッド71a、71b、72aに、はんだ又は金等よりなるボール(又はバンブ)34をそれぞれ挟んで対向し、且つ、接続されることにより、FPGA、MPU及びスタンダードセルの各回路がそれぞれ電気的に接続されている。

【0113】さらに、一端がスタンダードセル基板32におけるスタンダードセル回路に接続され、他端がパッケージ33の外部に突出する外部端子35が設けられている。

【0114】なお、各パッド71a、71b、72aは、FPGA基板31A、MPU基板31B及びスタンダードセル基板32においてあらかじめ設計規則、構造体及びピッチを統一して形成されているものとする。

【0115】以下、本発明の第3の実施形態に係る半導体集積回路装置の製造方法を説明する。

【0116】図7(a)は本発明の第3の実施形態に係る半導体集積回路装置の製造方法を表わす流れ図であり、図7(b)は本装置の開発期間を表わすタイムチャートである。

【0117】まず、図7(a)に示すように、第1の集積回路形成工程としての既製造回路決定工程ST31において、第1の集積回路としての既製のFPGA及び既製のMPUを決定する。

【0118】次に、製造回路決定工程ST32において、決定されたMPUから装置全体の回路規模を決定した後、第2の集積回路としてのスタンダードセル部分の論理機能を確定する。

【0119】次に、残部回路規模決定工程ST33Aにおいて、決定された回路全体の規模から残りのFPGA部分の回路規模を決定すると共に、第2の集積回路製造

工程S T 3 3 Bにおいて、レイアウト設計及びプロセス処理を行なって第2の半導体基板上にスタンダードセルによる第2の集積回路を完成させる。

【0120】次に、パッド形成工程及びパッケージング工程を含む装置製造工程S T 3 4において、FPGAが形成された半導体基板(FPGA基板)の正面及びMPUが形成された半導体基板(MPU基板)の正面に各集積回路と電気的に接続された第1のパッドをそれぞれ形成すると共に、スタンダードセルが形成された半導体基板(スタンダードセル基板)の正面にスタンダードセル回路と電気的に接続された第2のパッドを形成する。次に、FPGA基板及びMPU基板の正面とスタンダードセル基板の正面とが対向し、第1のパッドと第2のパッドとが接続し、スタンダードセル回路と電気的に接続している外部端子がパッケージ外部に突出した状態で、FPGA基板、MPU基板及びスタンダードセル基板をパッケージングする。

【0121】次の回路確定工程S T 3 5において、ユーザの要求に応じた論理機能を確定した後、図7(b)の特定回路化工程D 6に示すように、FPGA基板の集積回路に対してプログラム装置を用い、外部端子からプログラム用の電気信号を入力することにより、装置の特定用途化を数時間で行なうことができる。

【0122】従って、FPGA基板は、レイアウト設計工程及びプロセス処理工程の各期間を省略することができるため、図7(b)に示すように、開発期間D 0は約8.0ヶ月なるので、従来の方法に比べて2ヶ月、エンベッデドアレイ方式に比べても0.5ヶ月程度の短期化が可能となる。

【0123】また、既製造の回路として量産されたFPGA又はMPUを用いているため、エンベッデドアレイ方式に比べて安価に製造することができる。

【0124】なお、第1の集積回路としては、FPGA又はMPUの他に、EEPROM、RAM、ROM又はDSP等の特定用途向けLSIコアのいずれを用いても本発明の効果は変わらない。

【0125】また、第1の集積回路にEEPROM、GA又はスタンダードセルを用いても同様の効果が得られる。

【0126】(第4の実施形態)以下、本発明の第4の実施形態に係る半導体集積回路装置を図面を参照しながら説明する。

【0127】図8は本発明の第4の実施形態に係る半導体集積回路装置の構成を示し、(a)は平面図であり、(b)は(a)におけるIV-IV線の断面図である。図8(a)において、41A及び41Bは第1の集積回路としての規格生産されたフィールド・プログラマブル・ゲートアレイが形成された第1の半導体基板としての第1のFPGA基板及び第2のFPGA基板であり、42は第2の集積回路としての規格生産されたフィールド・

プログラマブル・ゲートアレイよりなり、第2の半導体基板としての第3のFPGA基板である。また、43は各FPGA基板41A、41B、42を封入するパッケージである。

【0128】図8(b)に示すように、第1のFPGA基板41Aの正面41a上には該正面41a上のFPGA回路と電気的に接続された第1のパッドとしての第1のFPGA基板用パッド81aが形成され、第2のFPGA基板41Bの正面41b上には該正面41b上のFPGA回路と電気的に接続された第1のパッドとしての第2のFPGA基板用パッド81bが形成され、第3のFPGA基板42の正面42a上には該正面42a上のFPGA回路と電気的に接続された第2のパッドとしての第3のFPGA基板用パッド82aが形成されている。第1のFPGA基板41A及び第2のFPGA基板41Bの正面41a、41bと第3のFPGA基板42の正面42aとは、半導体チップの張り合わせ技術を用いて、各パッド81a、81b、82aに、はんだ又は金等よりなるポール(又はバンブ)44をそれぞれ挿んで対向し、且つ、接続されることにより、各FPGAの回路がそれぞれ電気的に接続されている。

【0129】さらに、一端が第3のFPGA基板42におけるFPGA回路に接続され、他端がパッケージ43の外部に突出する外部端子45が設けられている。

【0130】なお、各パッド81a、81b、82aは、第1のFPGA基板41A、第2のFPGA基板41B及び第3のFPGA基板42においてあらかじめ設計規則、構造体及びピッチを統一して形成されているものとする。

【0131】半導体集積回路装置として所望する回路は、外部端子45からプログラム装置を用いてプログラム化を行なうことによって実現できる。

【0132】このように、本実施形態によると、大量生産時にシリーズ化して製造されるFPGAの回路規模を補完することにより、該回路規模に応じた低コスト化を実現することができる。

【0133】なお、本実施形態においては、各半導体基板にFPGAを用いたが、前述した回路の規模による回路分割をゲートアレイの種類(シリーズ)に応じて行ない、冗長領域が最小となるように選択して論理設計されたゲートアレイ同士を対面接続してパッケージ化してもよい。

【0134】従来のFPGAは、経済的な理由からあらゆるゲート規模のFPGAを用意しておくことができない。前述の図10に示すように、本実施形態に係る半導体集積回路装置に用いるFPGAには、そのシリーズに1Kゲート、2Kゲート、4Kゲート又は8Kゲートの4種類が用意されているとする。

【0135】本実施形態においては、図9(b)に示すように、これらのゲート数の組み合わせを変えることにより

より、用意できるゲート規模を1K単位で変更することができるため、冗長なゲートが生じないので、冗長コストC<sub>d</sub>をほぼ0とすることができます。

【0136】以下、本発明の第4の実施形態に係る半導体集積回路装置の製造方法を説明する。

【0137】図9(a)は本発明の第4の実施形態に係る半導体集積回路装置の製造方法を表わす流れ図である。まず、図9(a)に示すように、機能設計工程ST41において、設計対象の半導体集積回路の機能設計を行なう。

【0138】次に、回路規模決定工程ST42において、回路規模を推定し、推定規模から回路規模を決定した後、装置製造工程ST43において、決定された回路規模に基づいて、その回路規模が7Kゲートとすると、例えば、図8(a)に示す、第1のFPGA基板41Aに既存の2Kゲートを割り当て、第2のFPGA基板41Bに既存の1Kゲートを割り当て、さらに第3のFPGA基板42に既存の4Kゲートを割り当てるこにより、計7Kゲートの回路とし、前記第3の実施形態における装置製造工程ST34において説明した方法と同様の方法で各基板にパッドを形成した後、パッケージングを行なう。

【0139】次に、回路確定工程ST44において、プログラム装置を用いて外部端子から電気信号を入力し、プログラミングすることにより所望の回路が特定された半導体集積回路装置を得る。

【0140】なお、本発明の各実施形態においては、第1の半導体基板を2枚としたが、これに限るものではなく、RAM又はMPU等の1枚のみであってもよく、さらには、DSPやEPROM等の既製のLSIを第1の半導体基板として追加し、3枚以上としてもよい。

【0141】また、各基板の正面同士を対向させて各回路を接続したが、これに限るものではなく、パッドの位置を変更して、裏面同士、又は正面と裏面とを接続させてもかまわない。

【0142】また、外部端子を第2の半導体基板からパッケージの外部に取り出しているが、これに限るものではなく、第1の半導体基板から外部に取り出してもかまわない。

【0143】

【発明の効果】請求項1の発明に係る半導体集積回路装置によると、第2の集積回路は、外部端子から入力される電気信号によって冗長配線が接続又は切断されることにより回路が特定されるように構成されているため、論理設計完了後の開発期間をきわめて短くすることができますので、低コスト化を図ることができます。

【0144】請求項2の発明に係る半導体集積回路装置によると、請求項1の発明に係る半導体集積回路装置の効果が得られる上に、第2の集積回路の論理回路が特定されているため、特定の用途に使用することができます。

【0145】請求項3の発明に係る半導体集積回路装置によると、請求項1又は2の発明に係る半導体集積回路装置の効果が得られる上に、第2の集積回路がフィールド・プログラマブル・ゲートアレイにより構成されているため、パッケージング完了後に所望の回路を短時間に確実に特定することができます。

【0146】請求項4の発明に係る半導体集積回路装置によると、第2の集積回路は、配線層が形成されることにより回路が特定されるように構成されているため、論理設計完了後の開発期間を短くすることができますので、低コスト化を図ることができます。

【0147】請求項5の発明に係る半導体集積回路装置によると、請求項4の発明に係る半導体集積回路装置の効果が得られる上に、第2の集積回路がゲートアレイにより構成されているため、配線層を形成することにより所望の回路を確実に特定することができます。

【0148】請求項6の発明に係る半導体集積回路装置によると、第2の集積回路は汎用性を有するセルにより構成されているため、第2の集積回路を高性能に且つ柔軟に設計できるので、装置の性能を高めることができます。

【0149】請求項7の発明に係る半導体集積回路装置によると、請求項6の発明に係る半導体集積回路装置の効果が得られる上に、第2の集積回路がスタンダードセルにより構成されているため、第2の集積回路の性能を確実に高めることができます。

【0150】請求項8の発明に係る半導体集積回路装置によると、第2の集積回路は、書き換え可能なメモリにより構成されているため、論理設計完了後の開発期間をきわめて短くできるので、低コスト化を図ることができます。

【0151】請求項9の発明に係る半導体集積回路装置によると、請求項1～8の発明に係る半導体集積回路装置の効果が得られる上に、第1の集積回路はフィールド・プログラマブル・ゲートアレイにより構成されているため、論理設計後の開発期間をさらに短縮することができます。

【0152】また、対面して接続される第1及び第2の半導体基板がすべてFPGAよりなる場合は、既製のゲート規模の基板を組み合わせて構成することにより、冗長なゲートが発生しないため、その分のコストを低減することができます。

【0153】請求項10の発明に係る半導体集積回路装置によると、請求項9の発明に係る半導体集積回路装置の効果が得られる上に、第1の集積回路のFPGAの論理回路が特定されているため、特定の用途に使用することができます。

【0154】請求項11の発明に係る半導体集積回路装置によると、請求項1～8の発明に係る半導体集積回路装置の効果が得られる上に、第1の集積回路はゲートア

レイにより構成されているため、論理設計後の開発期間をさらに短縮することができる。

【0155】また、対面して接続される第1及び第2の半導体基板がすべてゲートアレイとなる場合は、既製のゲート規模の基板を組み合わせて構成することにより、冗長なゲートが発生しないため、その分のコストを低減することができる。

【0156】請求項12の発明に係る半導体集積回路装置によると、請求項1～8の発明に係る半導体集積回路装置の効果が得られる上に、第1の集積回路はスタンダードセルにより構成されているため、第2の集積回路の性能を確実に高めることができる。

【0157】請求項13の発明に係る半導体集積回路装置によると、請求項1～8の発明に係る半導体集積回路装置の効果が得られる上に、第1の集積回路は書き換え可能なメモリにより構成されているため、論理設計後の開発期間をさらに短縮することができる。

【0158】請求項14の発明に係る半導体集積回路装置によると、請求項1～8の発明に係る半導体集積回路装置の効果が得られる上に、第1の集積回路は規格生産された、例えば、メモリ、M P U又はD S P等からなるコア回路であるため、高性能化と低成本化を同時に図ることができ。

【0159】請求項15の発明に係る半導体集積回路装置の製造方法によると、外部端子から入力される電気信号によって回路が特定されるように第2の集積回路を構成するため、論理設計完了後の開発期間をきわめて短くすることができるので、低成本化を図ることができます。

【0160】請求項16の発明に係る半導体集積回路装置の製造方法によると、請求項15の発明に係る半導体集積回路装置の製造方法の効果が得られる上に、第2の集積回路の論理回路が特定されているため、特定の用途に使用することができる。

【0161】請求項17の発明に係る半導体集積回路装置の製造方法によると、請求項15又は16の発明に係る半導体集積回路装置の製造方法の効果が得られる上に、第2の集積回路をフィールド・プログラマブル・ゲートアレイで構成するため、パッケージング完了後に所望の回路を短時間に確実に特定することができる。

【0162】請求項18の発明に係る半導体集積回路装置の製造方法によると、配線層を形成することにより回路が特定されるように第2の集積回路を構成しているため、論理設計完了後の開発期間を短くすることができるので、低成本化を図ることができます。

【0163】請求項19の発明に係る半導体集積回路装置の製造方法によると、請求項18の発明に係る半導体集積回路装置の製造方法の効果が得られる上に、第2の集積回路をゲートアレイで構成するため、配線層を形成することにより所望の回路を確実に特定することができ

る。

【0164】請求項20の発明に係る半導体集積回路装置の製造方法によると、請求項15～19の発明に係る半導体集積回路装置の製造方法の効果が得られる上に、第1の集積回路をフィールド・プログラマブル・ゲートアレイで構成するため、論理設計後の開発期間をさらに短縮することができる。

【0165】また、対面して接続させる第1及び第2の半導体基板をすべてF P G Aが形成されたF P G A基板とする場合は、既製のゲート規模の基板を組み合わせることによって、冗長なゲートが発生しなくなるため、その分のコストを低減することができる。

【0166】請求項21の発明に係る半導体集積回路装置の製造方法によると、請求項20の発明に係る半導体集積回路装置の製造方法の効果が得られる上に、第1の集積回路のF P G Aの論理回路が特定されているため、特定の用途に使用することができる。

【0167】請求項22の発明に係る半導体集積回路装置の製造方法によると、請求項15～19の発明に係る半導体集積回路装置の製造方法の効果が得られる上に、第1の集積回路をゲートアレイで構成するため、論理設計後の開発期間をさらに短縮することができる。

【0168】また、対面して接続させる第1及び第2の半導体基板をすべてゲートアレイが形成されたG A基板とする場合は、既製のゲート規模の基板を組み合わせることによって、冗長なゲートが発生しなくなるため、その分のコストを低減することができる。

【0169】請求項23の発明に係る半導体集積回路装置の製造方法によると、請求項15～19の発明に係る半導体集積回路装置の製造方法の効果が得られる上に、第1の集積回路をスタンダードセルで構成するため、第2の集積回路の性能を確実に高めることができます。

【0170】請求項24の発明に係る半導体集積回路装置の製造方法によると、請求項15～19の発明に係る半導体集積回路装置の製造方法の効果が得られる上に、第1の集積回路を書き換え可能なメモリで構成するため、論理設計後の開発期間をさらに短縮することができる。

【0171】請求項25の発明に係る半導体集積回路装置の製造方法によると、請求項15～19の発明に係る半導体集積回路装置の製造方法の効果が得られる上に、第1の集積回路を規格生産された、例えば、メモリ、M P U又はD S P等で構成するため、高性能化と低成本化を同時に図ることができます。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体集積回路装置の構成を示し、(a)は平面図であり、(b)は(a)におけるI-I線の断面図である。

【図2】本発明の第1の実施形態に係る半導体集積回路装置の製造方法を表わす流れ図である。

【図3】本発明の第1の実施形態に係る半導体集積回路装置の開発期間を表わすタイムチャート図である。

【図4】開発の回路規模に対する、本発明の第1の実施形態に係る半導体集積回路装置の製造コスト及び従来のエンベッデドアレイ方式の集積回路装置の製造コストの相関関係図である。

【図5】本発明の第2の実施形態に係る半導体集積回路装置の構成を示し、(a)は平面図であり、(b)は(a)におけるII-II線の断面図である。

【図6】本発明の第3の実施形態に係る半導体集積回路装置の構成を示し、(a)は平面図であり、(b)は(a)におけるIII-III線の断面図である。

【図7】(a)は本発明の第3の実施形態に係る半導体集積回路装置の製造方法を表わす流れ図である。(b)は本発明の第3の実施形態に係る半導体集積回路装置の開発期間を表わすタイムチャート図である。

【図8】本発明の第4の実施形態に係る半導体集積回路装置の構成を示し、(a)は平面図であり、(b)は(a)におけるIV-IV線の断面図である。

【図9】(a)は本発明の第4の実施形態に係る半導体集積回路装置の製造方法を表わす流れ図である。(b)は開発規模に対する本発明の第4の実施形態に係る半導体集積回路装置の製造コストの相関関係図である。

【図10】従来の開発規模に対する半導体集積回路装置の製造コストの相関関係図である。

【図11】従来のフィールド・プログラマブル・ゲートアレイの開発期間を示すタイムチャート図である。

【図12】従来のゲートアレイの開発期間を示すタイムチャート図である。

【図13】従来のスタンダードセルの開発期間を示すタイムチャート図である。

【図14】従来のエンベッデドアレイの開発期間を示すタイムチャート図である。

#### 【符号の説明】

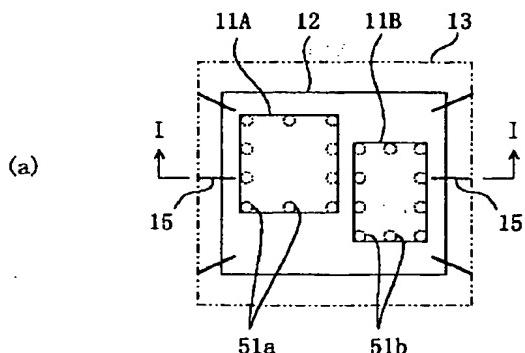
11 A	R A M基板（第1の半導体基板）
11 a	主面
11 B	M P U基板（第1の半導体基板）
11 b	主面
12	F P G A基板（第2の半導体基板）
12 a	主面
13	パッケージ
14	ポール
15	外部端子
51 a	R A M基板用パッド（第1のパッド）
51 b	M P U基板用パッド（第1のパッド）
52 a	F P G A基板用パッド（第2のパッド）
S T 1	既製造回路決定工程（第1の集積回路形成工程）
S T 2	残部回路規模決定工程（第2の集積回路形成工程）

S T 3	装置製造工程
S T 4	回路確定工程
21 A	R A M基板（第1の半導体基板）
21 a	主面
21 B	M P U基板（第1の半導体基板）
21 b	主面
22	G A基板（第2の半導体基板）
22 a	主面
23	パッケージ
24	ポール
25	外部端子
61 a	R A M基板用パッド（第1のパッド）
61 b	M P U基板用パッド（第1のパッド）
62 a	G A基板用パッド（第2のパッド）
31 A	F P G A基板（第1の半導体基板）
31 a	主面
31 B	M P U基板（第1の半導体基板）
31 b	主面
32	スタンダードセル基板（第2の半導体基板）
32 a	主面
33	パッケージ
34	ポール
35	外部端子
71 a	F P G A基板用パッド（第1のパッド）
71 b	M P U基板用パッド（第1のパッド）
72 a	スタンダードセル基板用パッド（第2のパッド）
S T 3 1	既製造回路決定工程（第1の集積回路形成工程）
S T 3 2	製造回路決定工程
S T 3 3 A	残部回路規模決定工程
S T 3 3 B	第2の集積回路製造工程
S T 3 4	装置製造工程
S T 3 5	回路確定工程
41 A	第1のF P G A基板（第1の半導体基板）
41 a	主面
41 B	第2のF P G A基板（第1の半導体基板）
41 b	主面
42	第3のF P G A基板（第2の半導体基板）
42 a	主面
43	パッケージ
44	ポール
45	外部端子
81 a	第1のF P G A基板用パッド（第1のパッド）
81 b	第2のF P G A基板用パッド（第1のパッド）
82 a	第3のF P G A基板用パッド（第2のパッ
82 b	ド）

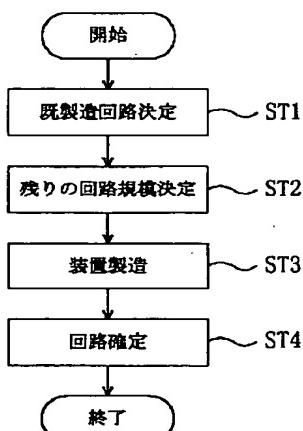
S T 4 1 機能設計決定工程  
S T 4 2 回路規模決定工程

\* ST 43 裝置製造工程  
\* ST 44 回路確定工程

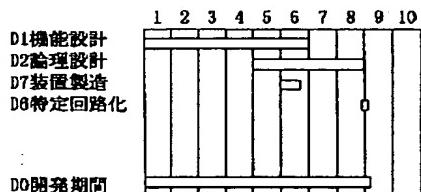
【図1】



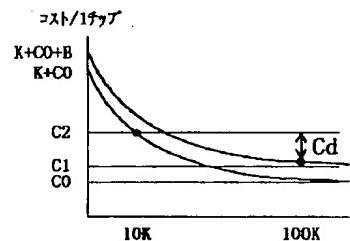
[図2]



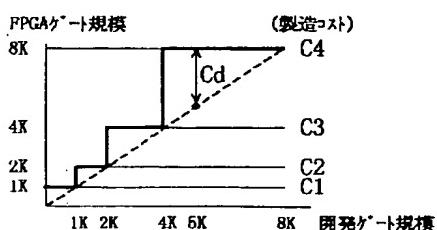
【図3】



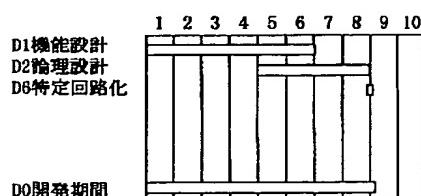
[図4]



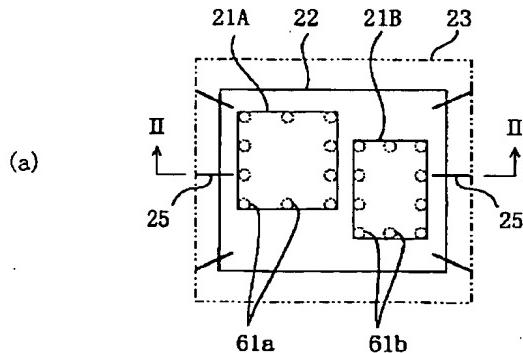
〔図10〕



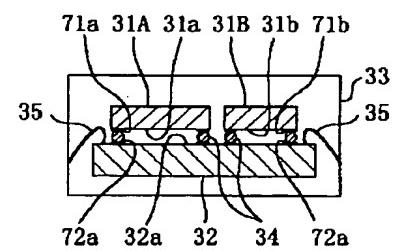
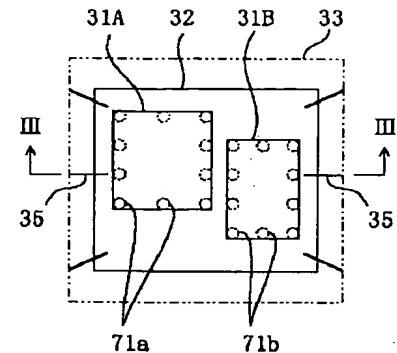
[図11]



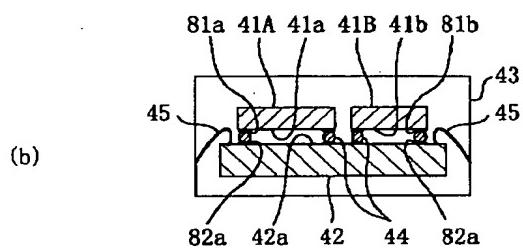
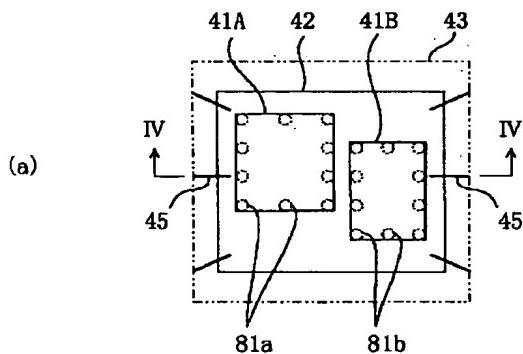
【図5】



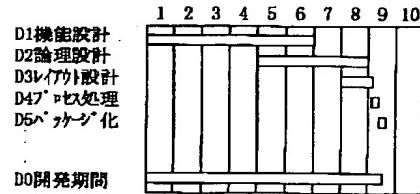
【図6】



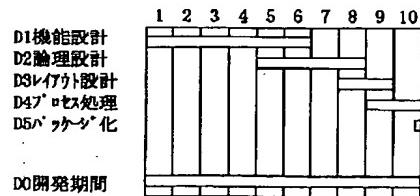
【図8】



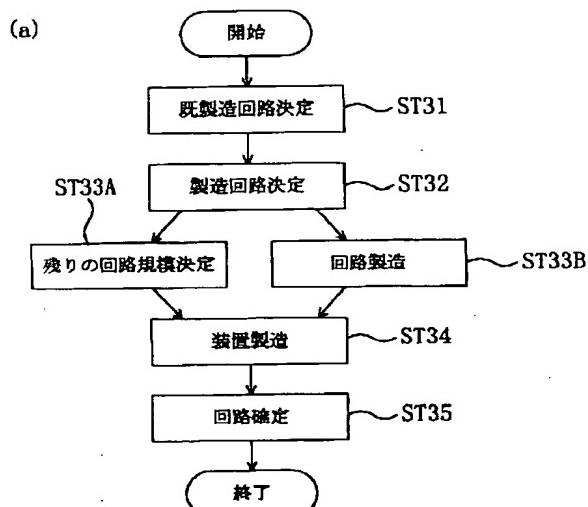
【図12】



【図13】

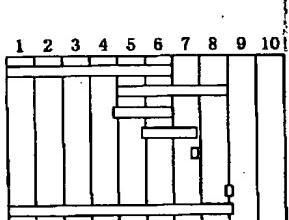


【図7】



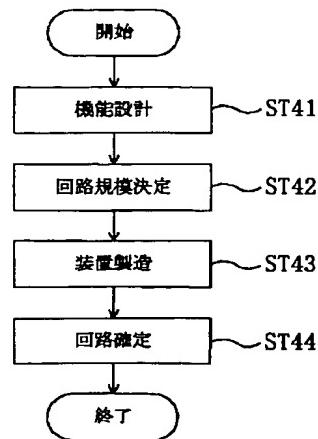
(b)

D1機能設計  
D2論理設計  
D3レイアウト設計  
D4アセスメント  
D5パッケージ製造  
D6特定回路化  
D0開発期間

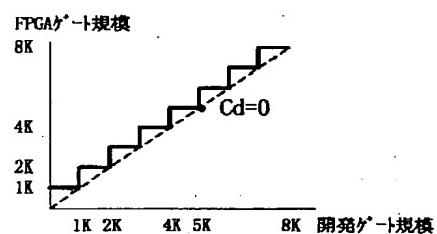


【図14】

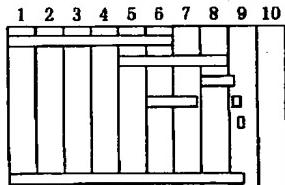
(a)



(b)



D1機能設計  
D2論理設計  
D3レイアウト設計  
D4アセスメント  
D5パッケージ化  
D0開発期間



フロントページの続き

(72)発明者 都筑 香津生  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 木村 文浩  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内